

数字电路复习提纲

吻安，GPT-5.5

2026 年 6 月 20 日

目录

1	第一章数制与编码	2
2	第二章逻辑代数基础	2
3	第三章门电路	3
4	第四章组合逻辑电路	3
5	第五章触发器	4
6	第六章时序逻辑电路	5
7	第七章 555 定时器与脉冲整形	7
8	第八章 D/A 与 A/D 转换	9
9	附录：slides 中提到的集成芯片	10
10	考前解题清单	17

1 第一章数制与编码

- **数字信号 (digital signal) 和模拟信号 (analog signal):** 数字信号在时间和幅值上离散, 常用 0/1 高低电平表示; ADC 和 DAC 是模拟世界与数字系统之间的桥梁。考试常把“离散性、抗干扰、便于逻辑处理”作为数字电路特点。[1-数制:p4-p7]
- **任意 R 进制展开:** $N = (a_n \cdots a_1 a_0 . a_{-1} \cdots)_R = \sum_i a_i R^i$ 。十进制、二进制、八进制、十六进制只是 R 的不同取值; 二进制和十六进制之间每 4 位一组互换。[1-数制:p10-p16,p27-p29]
- **十进制转 R 进制:** 整数部分“除基取余, 逆序读”; 小数部分“乘基取整, 顺序读”。混合小数要分开处理, 最后再合并。[1-数制:p19-p26]
- **二进制算术:** 加法按“逢二进一”, 减法按“借一当二”; 乘法可看成移位加法, 除法可看成试商和移位减法。运算题要先确认是无符号数还是带符号编码。[1-数制:p31-p38]
- **机器数 (machine number) 和真值:** 原码 (sign and magnitude) 直观但有 +0/-0; 反码 (one's complement) 负数按位取反; 补码 (two's complement) 负数为“按位取反加 1”, 且 0 唯一, 适合用加法统一实现减法。[1-数制:p42-p58]
- **n 位补码范围:** 带符号整数范围为 $[-2^{n-1}, 2^{n-1} - 1]$ 。由补码求真值时, 符号位为 0 直接读数, 符号位为 1 则数值位取反加 1 后加负号。[1-数制:p47-p57]
- **移码 (excess code/bias code):** 常用于浮点数阶码, 实质是给真值加固定偏置, 使比较阶码时可按无符号数比较。[1-数制:p59-p60]
- **浮点数 (floating point):** IEEE 754 单精度由符号位、阶码、尾数组成; 规格化让有效数尽量占满尾数位, 阶码使用偏置表示。要注意 0、规格化数和特殊阶码的区别。[1-数制:p62-p71]
- **BCD 和 ASCII:** BCD 用 4 位二进制编码 1 位十进制数, 便于人机显示但运算效率低; ASCII 常用 7 位编码西文字符。[1-数制:p72-p85]

2 第二章逻辑代数基础

- **基本逻辑运算:** 与 (AND)、或 (OR)、非 (NOT) 是基础; 与非 (NAND)、或非 (NOR)、异或 (XOR) 常直接对应门电路。逻辑变量只取 0/1, 不表示数值大小。[2-逻辑:p3-p9]
- **常用公式:** 互补律 $A + \bar{A} = 1, A\bar{A} = 0$; 幂等律 $A + A = A, AA = A$; 吸收律 $A + AB = A$; 德摩根律 $\overline{AB} = \bar{A} + \bar{B}, \overline{\bar{A} + \bar{B}} = \bar{A}\bar{B}$ 。化简时优先寻找吸收、并项、消去。[2-逻辑:p11-p21,p40-p45]
- **最小项 (minterm):** n 变量最小项包含每个变量的一种取值组合, 编号通常按变量二进制取值给出。任一逻辑函数可写成最小项之和, 即标准与或式。[2-逻辑:p23-p33]
- **最简表达式:** 常见目标包括最简与或式、与非-与非式、或与式、或非-或非式、与或非式。电路实现前先看题目要求的门型。[2-逻辑:p34-p38]
- **卡诺图 (Karnaugh map):** 相邻格只允许 1 位变量变化; 圈 1 得最简与或式, 圈 0 得最简或与式; 圈越大项越少, 圈数越少门级越少。边界和四角相邻不要漏。[2-逻辑:p47-p57]
- **约束项/无关项 (don't care):** 约束项既可当 0 也可当 1, 目标是让圈更大、更少。不要把物理上不可能出现的输入当成必然输出。[2-逻辑:p59-p67]
- **逻辑函数表示转换:** 真值表、表达式、卡诺图、逻辑图可以互转。真值表到逻辑图通常先写标准式再化简; 逻辑图到真值表则逐级写中间变量。[2-逻辑:p69-p82]

3 第三章门电路

- **正逻辑/负逻辑**：高电平表示 1 是正逻辑，低电平表示 1 是负逻辑。题目若改变逻辑约定，同一个电路的逻辑功能会变化。[3-门:p2-p4]
- **器件开关特性**：二极管有单向导电和恢复过程；三极管在截止、放大、饱和区之间切换；MOS 管由栅源电压控制沟道，是 CMOS 的基础。[3-门:p14-p48]
- **分立门**：二极管可构成与门/或门，三极管非门提供反相和驱动能力。分立门适理解原理，集成门才是实际系统主体。[3-门:p54-p63]
- **CMOS 反相器**：由互补 PMOS/NMOS 组成，静态功耗低，输入阻抗高；输出在稳态时接近电源轨，噪声容限较好。动态功耗主要来自负载电容充放电。[3-门:p65-p75,p91-p95]
- **CMOS 复合门**：与非、或非、传输门、三态门、漏极开路门各有用途；三态门可用于总线，开漏/开集电极输出需要上拉。[3-门:p77-p90]
- **TTL 门**：TTL 反相器和 TTL 与非门速度快、驱动能力明确，使用时要关注扇入、扇出、输入悬空、输出并联限制。[3-门:p97-p126]
- **门电路考点**：判断电平、写逻辑式、比较 CMOS/TTL 特性、识别三态/开漏应用；做题时先看输入输出是否有使能端或反相小圆圈。[3-门:p127-p131]

4 第四章组合逻辑电路

- **组合逻辑 (combinational logic)**：输出只由当前输入决定，不含记忆。分析流程是“逻辑图 → 表达式 → 化简 → 功能”；设计流程是“功能描述 → 设输入/输出变量和 0/1 含义 → 真值表 → 化简或按器件变换 → 电路”。做设计题时，状态赋值和输入顺序要先固定，后面真值表、最小项编号都按这个顺序来。[4-组合:p2-p16]
- **加法器**：半加器不考虑低位进位， $S = A \oplus B, C = AB$ ；全加器考虑低位进位 C_i ， $S = A \oplus B \oplus C_i$ ， $C_o = AB + AC_i + BC_i = AB + (A \oplus B)C_i$ 。多位串行进位加法器连接简单，但延迟约随位数累加；超前进位加法器由各位输入直接产生进位，速度快但电路复杂。[4-组合:p18-p27]
- **数值比较器**：比较多位数时先比较高位；若高位已能判定大小，低位无关；只有高位相等才继续比较低位。级联比较器时要把“>、=、<”三种级联输入/输出关系接对，别只传一个大于信号。[4-组合:p29-p34]
- **编码器/优先编码器**：编码器把 2^n 个输入状态压缩成 n 位代码；普通编码器通常假定同一时刻只有一个输入有效。优先编码器允许多个输入同时有效，但只输出优先级最高输入的代码；做题要先看有效电平、优先级方向和是否有使能/有效输出端。[4-组合:p36-p47,p126-p127]
- **译码器和显示译码器**：二进制译码器把 n 位地址译为 2^n 个互斥输出，常可看作最小项发生器或数据分配器。74LS138 这类器件输出常为低有效，且有使能端；显示译码器还要分清共阳极/共阴极数码管以及段输出有效电平。[4-组合:p49-p59,p80-p86,p127]
- **数据选择器 (multiplexer)**： $Y = \sum_i D_i m_i(S)$ ，选择端 S 产生全部地址最小项，数据端 D_i 决定对应项取 0、1、变量或反变量。用 MUX 实现 k 变量函数时，常选地址端数 $n = k - 1$ 的选择器：先定 n 个变量接选择端，再把剩下 1 个变量化到各数据端。[4-组合:p61-p78]
- **用译码器实现函数**：译码器输出最小项，函数 $F = \sum m(i)$ 可由相应最小项相加得到；若译码器输出低有效，常用 NAND 形式把被选中的低有效输出合成函数。多输出函数可共用同一个译码器，只在后级

门电路组合不同输出项。[4-组合:p80-p86]

- **数据分配器**：数据分配器把一路输入按地址送到多路输出；没有专用芯片时，可用译码器加使能端实现。例如把输入数据接到译码器使能端，地址端选择哪一路输出被激活。它和数据选择器正好相反：MUX 是单选一，DEMUX 是一分多。[4-组合:p61-p72]
- **ROM 实现组合逻辑**：地址线对应输入变量，存储内容对应输出真值，多输出函数可共用地址译码。容量常写成“字数 $\times$ 位数”： n 根地址线有 2^n 个字， b 个输出位可同时存 b 个函数值，所以容量为 $2^n \times b$ 。用 ROM 做逻辑时本质是直接查真值表。[4-组合:p88-p112]
- **竞争冒险 (race hazard)**：竞争是同一门电路的相关输入因传输延迟不同而向相反方向变化；冒险是输出出现违背稳态逻辑关系的尖峰脉冲。简单判据：在一次只变一个输入的前提下，固定其他变量后若输出式能化成 $A + \bar{A}$ 或 $A\bar{A}$ 这类理论恒值形式，就要警惕静态冒险。[4-组合:p114-p121]
- **消除竞争冒险**：工程上可加封锁脉冲、选通脉冲、滤波电容，或从逻辑设计上增加冗余项。卡诺图中若相邻乘积项之间可能出现毛刺，可补共识项，例如 $Y = AB + \bar{A}C$ 可补成 $Y = AB + \bar{A}C + BC$ 。封锁/选通对脉冲时序要求严，滤波电容会拖慢边沿，考试更常考“加冗余项”。[4-组合:p122-p124]

5 第五章触发器

- **时序电路 (sequential logic) 和触发器分类**：时序电路输出取决于当前输入和当前状态；触发器是最基本的 1 位存储单元。按结构/工作方式可分基本锁存器、同步电平触发器、主从触发器、边沿触发器；按逻辑功能可分 RS、D、JK、T、 T' 。[5-触发器:p2-p4,p63-p65]
- **基本 RS 锁存器**：由与非门或或非门交叉耦合构成，有置 1、置 0、保持和禁用输入组合。高有效 RS 可记 $Q^+ = S + \bar{R}Q$ ，约束 $SR = 0$ ；低有效 $\bar{S}\bar{R}$ 要反着判读，输入端小圆圈/横线比字母本身更重要。[5-触发器:p6-p16]
- **基本 RS 禁用态补充**： $R = S = 1$ 时，与非门构成的基本 RS 锁存器有 $Q = \bar{Q} = 1$ ；或非门构成的基本 RS 锁存器有 $Q = \bar{Q} = 0$ 。这类情况破坏互补输出，撤销输入后最终状态不可靠。[5-触发器:p7-p13]
- **同步 RS/D 触发器**：同步触发器只有在 CP 有效电平期间才响应输入；同步 RS 仍有 $RS = 0$ 约束。同步 D 触发器把 D 和 $\bar{D}$ 送入 RS 结构，避免 RS 禁态，特性方程 $Q^+ = D$ ，常用于寄存。注意电平有效期间输入多次变化会导致输出多次变化，即“空翻”。[5-触发器:p18-p27]
- **主从和边沿触发**：主从触发器由主、从两级配合，通常在 CP 转换时刻完成一次状态更新，可减轻电平触发的空翻问题；边沿触发器只在 CP 上升沿或下降沿采样输入，抗空翻能力更强。画波形时只在有效边沿更新，边沿之间输入变化不改 Q 。[5-触发器:p29-p45,p63-p64]
- **异步置位/复位端**：边沿 D、JK 触发器常带异步置位 S 和异步复位 R ，它们不受 CP 控制，优先级高于同步输入。很多 TTL 器件如 7474、74LS112 的异步端为低有效；正常工作时应保持无效电平，用于初始化或强制置 0/置 1。[5-触发器:p31-p45]
- **JK、T、 T' 触发器**：JK 触发器功能最全： $J = K = 0$ 保持， $J = 0, K = 1$ 置 0， $J = 1, K = 0$ 置 1， $J = K = 1$ 翻转， $Q^+ = J\bar{Q} + \bar{K}Q$ 。令 $J = K = T$ 得 T 触发器， $Q^+ = T \oplus Q$ ；令 $T = 1$ 得 T' 触发器，每个有效时钟沿都翻转， $Q^+ = \bar{Q}$ 。[5-触发器:p47-p56]
- **功能表示和转换**：触发器功能可用特性表、卡诺图、特性方程、状态图、时序图表示。转换题的套路是先写目标次态 Q^+ ，再按现有触发器的激励需求求输入：D 型直接 $D = Q^+$ ；T 型 $T = Q \oplus Q^+$ ；JK 型常用

激励关系 $0 \rightarrow 0: J = 0, K = X, 0 \rightarrow 1: J = 1, K = X, 1 \rightarrow 0: J = X, K = 1, 1 \rightarrow 1: J = X, K = 0$ 。
[5-触发器:p47-p56]

- **波形题步骤：**先标有效边沿和异步端有效区间；若异步置位/复位有效，立即强制输出；否则只在有效 CP 边沿根据 D/JK/T 输入更新 Q 。题目给初态时按初态画，没给初态时要说明假设或用 Q_0 表示。
[5-触发器:p31-p56]
- **静态/动态参数：**静态特性关注输入输出电平、噪声容限；动态特性关注建立时间、保持时间、传输延迟和最高时钟频率。建立时间 t_{set} 要求输入先于 CP 有效沿稳定，保持时间 t_h 要求 CP 有效沿之后输入继续保持一小段时间；违反它们可能导致误采样或亚稳态。传输延迟 t_{PHL}, t_{PLH} 是 CP 有效沿到 Q 改变完成的时间，限制最高时钟频率。 [5-触发器:p58-p61]

触发器	特性方程	备考提示
RS	$Q^+ = S + \bar{R}Q$ ，约束 $SR = 0$	先判断输入高/低有效。
D	$Q^+ = D$	寄存、移位、同步状态机最常用。
JK	$Q^+ = J\bar{Q} + \bar{K}Q$	$J = K = 1$ 时翻转。
T	$Q^+ = T \oplus Q$	计数器常用， $T = 1$ 连续翻转。
T'	$Q^+ = \bar{Q}$	无外部输入；每个有效时钟沿翻转。

6 第六章时序逻辑电路

- **分析步骤：**由触发器输入方程和输出方程求状态方程，列状态表/状态图，再判断功能。每一步都要注明触发边沿和无效状态。 [6-时序:p2-p29]
- **Moore 型和 Mealy 型：**Moore 型输出只与现态有关， $Y = F[Q(t_n)]$ ，常把输出标在状态内或由状态直接读出；Mealy 型输出同时与现态和当前输入有关， $Y = F[X(t_n), Q(t_n)]$ ，状态图常在边上标“输入/输出”。判断题先看输出方程是否含外部输入，含输入通常为 Mealy 型，不含输入通常为 Moore 型。
[6-时序:p6-p7,p33-p36]
- **设计步骤：**明确状态含义，画状态图，状态编码，列激励表，用卡诺图化简触发器输入，最后检查自启动。 [6-时序:p31-p36]
- **计数器长度、进制和模：**计数容量、计数长度或模 M 指计数器有效循环中的独立状态总数，也就是有效状态数。 n 位二进制计数器有 $M = 2^n$ 个有效状态； N 进制计数器有 N 个有效状态，若用 n 个触发器实现，应满足 $2^{n-1} < N \leq 2^n$ ，无效状态数为 $2^n - N$ 。 [6-时序:p38-p45]
- **二进制同步加法/减法计数器：**加法计数按二进制代码递增；用 T 触发器时所有位共用 CP， $T_0 = 1$ ，第 i 位在所有低位全为 1 时翻转， $T_i = Q_0Q_1 \cdots Q_{i-1}$ 。减法计数按二进制代码递减，第 i 位在所有低位全为 0 时翻转， $T_i = \bar{Q}_0\bar{Q}_1 \cdots \bar{Q}_{i-1}$ 。 [6-时序:p46-p50]
- **二进制异步加法/减法计数器（ripple counter）：**各触发器不共用同一时钟，高位由低位输出逐级触发，所以也叫行波计数器。若用下降沿触发的 T' 触发器，加法计数常接 $CP_i = Q_{i-1}$ ，减法计数常接 $CP_i = \bar{Q}_{i-1}$ ；若用上升沿触发，则加/减接法对调。优点是连接简单，缺点是翻转不同步、传播延迟逐级累积，译码输出可能出现短暂毛刺。 [6-时序:p58-p64]
- **二进制可逆计数器：**由加/减方向控制端选择加法或减法翻转条件；单时钟型用一个 CP 配合方向控制产生进位/借位条件，双时钟型常用 CPU 、 CPD 分别触发加计数和减计数。输出或进位/借位若含方向输入，要按 Mealy 型思路分析。 [6-时序:p51-p58]

- **T 与 T' 触发器实现计数器:** T 触发器有控制端, 适合同步实现: 所有触发器接同一 CP, 由组合逻辑产生各位 T_i 决定是否翻转。 T' 触发器无控制输入, 每个有效边沿必翻转, 常用于异步级联; 下降沿 T' 加法常取 $CP_i = Q_{i-1}$ 、减法取 $CP_i = \bar{Q}_{i-1}$, 若为上升沿触发则两者对调。[6-时序:p49-p61]
- **串行借位和并行借位:** 串行借位逐级把低位借位传到高位, 电路简单、器件少、扩展直观, 但传播延迟随位数累积, 速度较低; 并行借位用各位状态同时译码产生借位条件, 速度快、适合高速同步或级联计数器, 但组合门、扇入和布线更复杂。[6-时序:p50-p58]
- **CT_P 和 CT_T 计数使能端:** 在 74161/74163 等同步计数器中, 清零/置数无效时, 通常只有 $CT_P = CT_T = 1$ 且 CP 有效沿到来才计数; 任一为 0 时保持。 CT_P 可记作并行计数允许 (parallel enable), CT_T 可记作级联/串行进位允许 (trickle enable), 并参与进位输出, 课件给出 $CO = CT_T Q_3 Q_2 Q_1 Q_0$ 。单片使用时二者常接 1; 同步级联时各片共用 CP, 用低位片 CO 去控制高位片计数允许, 不把 CO 当作高位片时钟。[6-时序:p53-p54,p78]
- **十进制和 N 进制计数器:** 用清零/置数截断无用状态, 构成模 N 计数。同步清零/置数通常译码终值 S_{N-1} , 到下一个有效时钟回到初态; 异步清零/置数常译码瞬时状态 S_N , 会影响波形并可能产生窄脉冲。[6-时序:p66-p82]
- **级联获得大容量 N 进制计数器:** 先把若干片计数器级联成自然容量 $M = M_1 M_2 \cdots$, 例如两片 4 位二进制同步计数器得 $16 \times 16 = 256$, 两片十进制计数器得 $10 \times 10 = 100$ 。若目标能分解, 如 $60 = 10 \times 6$, 可低位逢十进一、高位做六进制; 若只需任意 $N < M$, 先扩容再用归零法/置数法截断。用二进制计数器扩展时, 译码终值写成整体二进制码; 用十进制计数器扩展时, 个位、十位、百位分别写成对应 BCD 码。[6-时序:p78-p82]
- **寄存器 (register) 概念和分类:** 一个触发器存 1 位, n 位寄存器通常由 n 个触发器或锁存器组成, 只暂存二进制数据/代码, 本身不对数据做运算处理。按功能分为基本寄存器和移位寄存器; 按输入/输出方式可见并入并出、并入串出、串入并出、串入串出; 按器件可分为多位 D 触发器、锁存器、寄存器阵列等。[6-时序:p84-p85]
- **基本寄存器 (basic register):** 主要功能是并行保存数据, 典型结构是每一位接一个 D 触发器或 D 锁存器, 共用 CP/送数控制。看题时先分清“边沿触发寄存器”和“电平锁存器”: 74175/74LS175 是 4 位边沿 D 寄存器, 常见同步送数、异步清零; 74116 是双 4 位锁存器, 送数控制有效时透明, 保持时锁存; 74170/74LS170 是 4×4 寄存器阵列, 带写地址、读地址和读写使能, 可看作小型寄存器文件。[6-时序:p87-p90]
- **移位寄存器 (shift register) 总览:** 移位寄存器既能存放数据, 又能在 CP 控制下逐位移动。用途包括串并转换、并串转换、数据延时、序列产生和移位型计数器。做时序题时抓三件事: 移位方向、串行输入端 D_i 接什么、每个 CP 后各位 Q_i^+ 如何由相邻位得到。[6-时序:p91-p95]
- **单向移位寄存器:** 只能固定向左或向右移位。4 位右移时可记为 $Q_0^+ = D_i$, $Q_1^+ = Q_0$, $Q_2^+ = Q_1$, $Q_3^+ = Q_2$; 4 位左移时可记为 $Q_0^+ = Q_1$, $Q_1^+ = Q_2$, $Q_2^+ = Q_3$, $Q_3^+ = D_i$ 。74164 是 8 位串入并出单向移位寄存器, DSA、DSB 等效为串行输入与门控制, 不用的输入端不要悬空, $\overline{CR} = 0$ 时异步清零。[6-时序:p92-p95]
- **双向移位寄存器:** 在单向移位基础上增加方向控制, 可选择左移或右移, 通常还可能带并行置数、保持、清零等控制。复习时不用死记某一片具体引脚, 重点是方向端改变相邻位连接关系: 右移时高位接低位的旧值, 左移时低位接高位的旧值; 两端分别需要左移串行输入和右移串行输入。双向移位适合数据移位、串行运算和可逆序列产生, 代价是控制逻辑比单向移位复杂。[6-时序:p85,p93-p94]

- **移位寄存器型计数器**：把移位寄存器某些输出经反馈逻辑 $F(Q_0, Q_1, \dots, Q_{n-1})$ 接回串行输入端，就得到特殊计数器。它的优点是结构规则、译码常较简单、容易产生顺序脉冲；缺点是有效状态数通常远小于 2^n ，若反馈设计不好会进入无效循环，所以常要考虑自启动或异步预置。[6-时序:p97]
- **环形计数器 (ring counter)**：把末位输出 Q_{n-1} 反馈到首位输入 D_0 ，一个 1 或一个 0 在寄存器中循环移动。 n 位环形计数器常用有效状态数 $N = n$ ，优点是每个状态近似“一位有效”，输出可直接作互不重叠顺序脉冲，译码极简单；缺点是状态利用率低，仅用 $n/2^n$ ，必须预置到如 1000 这类有效循环，进入全 0、全 1 或其他无效循环时不能天然自启动，需修改反馈逻辑或用异步置数纠正。[6-时序:p98-p100]
- **扭环形计数器 (Johnson counter/twisted ring counter)**：把末位反相输出 $\bar{Q}_{n-1}$ 反馈到首位输入 D_0 。 n 位扭环形计数器有效状态数通常为 $N = 2n$ ，例如 4 位可从 0000 $\rightarrow$ 1000 $\rightarrow$ 1100 $\rightarrow$ 1110 $\rightarrow$ 1111 $\rightarrow$ 0111 $\rightarrow$ 0011 $\rightarrow$ 0001 $\rightarrow$ 0000 循环。优点是比普通环形计数器状态利用率高一倍、译码仍较简单、清零到 0000 后可进入有效循环；缺点是仍远未利用全部 2^n 状态，存在无效循环，严格设计仍要检查自启动，必要时修改反馈逻辑或利用异步置数端把电路拉回有效状态。[6-时序:p101-p102]
- **读/写存储器 (RAM) 结构和容量**：RAM 是随机存取读/写存储器，基本结构包括地址输入、地址译码器、存储矩阵、读/写控制、片选 CS 和输入/输出 I/O 。存储单元存 1 位二进制数；容量常写成“字数 $\times$ 字长”，即总位数 = 字数 $\times$ 每字位数。 n 根地址线可寻址 2^n 个字；大矩阵常用行译码 + 列译码的二元地址译码，减少译码器输出线数量。[6-时序:p104-p107]
- **静态 RAM (SRAM) 存储单元**：SRAM 单元本质上用双稳态锁存结构（可理解为静态触发器/锁存器）保存 0/1，典型 CMOS SRAM 一位约需 6 个晶体管。只要供电且未被改写，存储代码可长期保持，不需要刷新；读出通常不破坏原数据。特点是速度快、控制相对简单、适合 cache；代价是单元面积大、集成度低、同容量成本高。注意：SRAM 仍是易失性存储器，掉电会丢数据，只是“通电时不需刷新”。[6-时序:p108-p109,p111-p112]
- **动态 RAM (DRAM) 存储单元**：DRAM 一位通常用 1 个 MOS 管加 1 个电容保存电荷，单元小、集成度高、容量大、成本低，适合主存。注意点有三条：电容会漏电，信息保持时间很短，即使不读出也必须周期刷新/定时重写；读出具有破坏性，读后必须及时恢复/回写；容量大时常把行地址和列地址分时送入，先选行再选列，因此控制和时序比 SRAM 复杂、速度通常慢于 SRAM。[6-时序:p110-p112]
- **RAM 容量扩展**：先把目标容量写成“目标字数 $\times$ 目标字长”，再和单片容量比较。位扩展（字长扩展）增加每个字的位数：各片地址线、读/写控制线、片选线并联，数据线分别接到不同位，例如 8 片 1024×1 组成 1024×8 。字扩展（地址容量/字数扩展）增加可寻址字数：数据线和控制线可共用，用高位地址经译码器产生各片 CS ，一次只选中一组芯片。字位同时扩展时，先按位数组成一组，再按字数组数做片选译码。[6-时序:p113-p114;4-组合:p109-p112]
- **顺序脉冲发生器**：可由计数器或移位寄存器产生互不重叠的时序脉冲，常用于控制序列。[6-时序:p117-p132]

7 第七章 555 定时器与脉冲整形

- **矩形脉冲指标**：周期 T 是相邻两个同相位点（常取相邻上升沿）之间的时间；频率 $f = 1/T$ ；幅度 U_m 是高、低电平之间的电压差或相对基准的脉冲高度；脉冲宽度 t_w 是有效电平持续时间，常按 $0.5U_m$ 处两交点间隔量取；占空比 $q = t_w/T$ ；上升时间 t_r 是从 $0.1U_m$ 上升到 $0.9U_m$ 的时间；下降时间 t_f 是从 $0.9U_m$ 下降到 $0.1U_m$ 的时间。[7-555:p2-p3]
- **三类脉冲触发/整形电路**：施密特触发器 (Schmitt trigger) 有两个稳定状态和两个反转触发电平，靠回差把缓慢或带噪声信号整形成同周期矩形波；单稳态触发器 (monostable) 有一个稳态和一个暂稳

态, 外来窄触发使其进入暂稳态, 随后自动回稳态, 输出宽度主要由 RC 决定; 多谐振荡器 (astable multivibrator) 没有稳态, 两个暂稳态靠电容充、放电自动转换, 可自激产生矩形脉冲。[7-555:p3,p19,p41-p43]

- **555 定时器结构只抓功能块:** 内部可看成三只 $5k\Omega$ 分压电阻、两个比较器、RS 锁存器、放电三极管和输出缓冲级。默认比较基准为 $\frac{1}{3}V_{CC}$ 、 $\frac{2}{3}V_{CC}$; 5 脚 CO 可外接控制电压改变阈值和回差; 7 脚 DIS 是放电端, 常用于给定时电容放电。[7-555:p4-p6,p40]
- **555 外引脚和优先级:** 1 脚 GND 、8 脚 V_{CC} 、3 脚 OUT 、4 脚 RD 、5 脚 CO 、7 脚 DIS 、2 脚 TR 、6 脚 TH 。4 脚为低有效直接复位端, $RD = 0$ 时输出被强制为低电平、放电管导通, 通常不用时接高电平。一般工作时, 2 脚触发端优先级高于 6 脚阈值端: $TR < \frac{1}{3}V_{CC}$ 时置位, OUT 变高、 DIS 截止; 若 $TR > \frac{1}{3}V_{CC}$ 且 $TH > \frac{2}{3}V_{CC}$, 则复位, OUT 变低、 DIS 导通; 若 $TR > \frac{1}{3}V_{CC}$ 且 $TH < \frac{2}{3}V_{CC}$, 保持原状态。[7-555:p5-p6,p40]
- **施密特触发器核心:** 它的两个反转触发电平分别为上限阈值 U_{T+} 和下限阈值 U_{T-} 。输入上升时与 U_{T+} 比较, 超过后输出翻转; 输入下降时与 U_{T-} 比较, 低于后输出再翻转。回差电压 $\Delta U_T = U_{T+} - U_{T-}$ 使输出不在单一阈值附近来回抖动, 所以特别适合缓慢边沿、噪声叠加信号的整形和幅度鉴别。[7-555:p7-p11,p42]
- **555 构成施密特触发器:** 把 2 脚 TR 和 6 脚 TH 连在一起作为输入, 输入上升到 $\frac{2}{3}V_{CC}$ 时 6 脚使输出翻转为低, 输入下降到 $\frac{1}{3}V_{CC}$ 时 2 脚使输出翻转为高, 天然得到 $U_{T+} = \frac{2}{3}V_{CC}$ 、 $U_{T-} = \frac{1}{3}V_{CC}$ 、 $\Delta U_T = \frac{1}{3}V_{CC}$ 。若 5 脚加控制电压 U_{CO} , 可调两个阈值和回差。注意: 施密特本身不自动产生脉冲, 输出脉宽由输入波形越过阈值的时刻决定。[7-555:p10-p11,p42]
- **集成施密特触发器和应用:** 集成器件提名字即可记 CC40106 (六施密特反相器) 和 CC4093 (四 2 输入施密特与非门), TTL 施密特课件略讲。常见应用举例: 接口与整形、阈值探测、脉冲展宽、多谐振荡器、按键/开关去抖、缓慢模拟信号变逻辑电平。[7-555:p13-p17]
- **555 构成单稳态触发器:** 稳态时放电管导通, 定时电容电压近似为 0, 输出为低; 2 脚出现低于 $\frac{1}{3}V_{CC}$ 的负触发后, 输出变高、放电管截止, 电容经 R 充电; 当 6 脚检测到电容电压升至 $\frac{2}{3}V_{CC}$, 555 复位, 输出回低、7 脚放电。输出脉宽 $t_w = RC \ln 3 \approx 1.1RC$, 与触发脉冲宽度无关, 但触发脉冲应足够窄或在输出结束前恢复无效。4 脚仍可强制复位。[7-555:p19-p21,p43]
- **集成单稳态触发器和应用:** 74121 是非重复触发单稳态, 只能在稳态接受新触发, 暂稳态期间新触发一般不能延长输出, $t_w \approx 0.7RC$; 74122 是可重复触发单稳态, 暂稳态期间可接受新触发并重新计时, 从而延长输出脉宽, 且有低有效直接复位 RD , 课件给出 $C > 1000pF$ 时 $t_w \approx 0.32RC$ 。应用举例: 延时、定时选通、脉冲整形、脉冲展宽/延时、产生规定宽度脉冲。[7-555:p23-p28]
- **555 构成多谐振荡器:** 2 脚和 6 脚接定时电容, 电容在 $\frac{1}{3}V_{CC}$ 与 $\frac{2}{3}V_{CC}$ 之间往复充、放电; 输出高电平期间电容经 $R_1 + R_2$ 充电, 输出低电平期间 7 脚导通, 电容经 R_2 放电。常用估算式: $t_{w1} \approx 0.7(R_1 + R_2)C$, $t_{w2} \approx 0.7R_2C$, $T \approx 0.7(R_1 + 2R_2)C$, $f \approx \frac{1.43}{(R_1 + 2R_2)C}$, 占空比 $q = \frac{R_1 + R_2}{R_1 + 2R_2} > 50\%$ 。[7-555:p30-p32,p41]
- **多谐振荡器扩展和应用:** 若用二极管分开充、放电路径, 可近似得到 $t_{w1} \approx 0.7R_1C$ 、 $t_{w2} \approx 0.7R_2C$, 占空比 $q \approx \frac{R_1}{R_1 + R_2}$, 便于调成非固定大于 50% 的波形。频率稳定度要求高时可用石英晶体多谐振荡器。应用举例: 时钟脉冲、秒信号发生器、计数器/分频器时基、间歇音响或模拟声响电路。[7-555:p33-p39,p41]

8 第八章 D/A 与 A/D 转换

- **DAC/ADC 作用：**DAC (Digital to Analog Converter) 把输入二进制数转换成与之成正比的模拟电压或电流；ADC (Analog to Digital Converter) 把输入模拟量转换成与之成正比的二进制数。两者共同完成数字系统和模拟对象之间的接口。[8-转换:p2-p5,p43-p45]

- **DAC 转换表达式：**若 $D = d_{n-1}d_{n-2}\cdots d_1d_0$ ，则十进制权值 $D = \sum_{i=0}^{n-1} d_i 2^i$ 。课件中的反相求和型 DAC 有

$$u_O = -\frac{U_{REF}}{2^n} (d_{n-1}2^{n-1} + \cdots + d_1 2 + d_0) = -\frac{U_{REF}}{2^n} D = K_u D,$$

其中 $K_u = -U_{REF}/2^n$ 。单极性输出时满码约为 $|u_O| = (1 - 2^{-n})U_{REF}$ ，符号取决于输出运放接法。

[8-转换:p5-p9,p15]

- **DAC 分辨率和转换误差：**分辨率 (resolution) 可用位数 n 表示，也可写为最小输出变化量与满量程之比，常用 $U_{LSB}/FSR = 1/(2^n - 1)$ 。转换误差是实际输出与理想模拟输出之间的最大偏差，常用满量程百分比 (%FSR) 或最低有效位倍数 (如 $\pm \frac{1}{2}LSB$) 表示。位数越多，量化级越细，但基准、电阻网络和运放误差仍会限制实际精度。[8-转换:p11,p16,p43]

- **DAC 建立时间和转换速率：**建立时间 t_s 是大信号输入变化 (如全 0 到全 1 或反向) 后，输出达到规定误差带所需时间；它是 DAC 速度的重要指标。转换速率 SR 用大信号状态下模拟输出电压变化率表示；一次大信号转换时间可估为 $T_{TR} = t_s + t_r$ 或 $t_s + t_f$ ，最大情况常写 $T_{TR}(\max) = t_s + U_O(\max)/SR$ 。

[8-转换:p12-p13]

- **A/D 一般步骤和取样保持：**A/D 转换流程为取样、保持、量化、编码。取样把时间连续信号变成时间离散信号，取样频率应满足 $f_s \geq 2f_{I\max}$ ；保持把取样值展宽并近似固定，使后级 ADC 有足够时间完成量化编码。取样 - 保持电路 (S/H) 常用开关和保持电容：取样时开关闭合，电容跟随输入；保持时开关断开，电容电压基本不变。[8-转换:p18-p19,p23-p24,p44]

- **量化、编码和量化误差：**量化单位 Δ 是 1 LSB 对应的模拟量；量化是把保持后的样值归到 Δ 的整数倍，编码是把量化级写成二进制代码。量化误差来自模拟量不一定正好等于量化级。若直接按区间端点量化，最大量化误差可达 Δ ；若把量化代表值放在区间中点或等效加入 $\Delta/2$ 偏移，最大量化误差可减小到 $\Delta/2$ 。[8-转换:p20-p21]

- **ADC 编码公式速记：**单极性 n 位 ADC、输入范围近似为 $0 \sim U_{REF}$ 时，量化单位可按 $\Delta = U_{REF}/2^n$ 估算，理想数字量

$$D \approx \frac{u_I}{\Delta} = \frac{u_I}{U_{REF}} 2^n, \quad u_I \approx D\Delta = \frac{D}{2^n} U_{REF}.$$

若题目按截断量化，取 $D = \lfloor u_I/\Delta \rfloor$ ，并限制在 $0 \leq D \leq 2^n - 1$ ；若题目按中点量化/四舍五入，取 $D = \lfloor u_I/\Delta + 1/2 \rfloor$ ，最大量化误差按 $\Delta/2$ 估算。反推区间时可记 $D\Delta \leq u_I < (D+1)\Delta$ (截断型)。

[8-转换:p20-p21,p33,p40-p45]

- **逐次逼近型 ADC (SAR ADC) 流程：**核心由比较器、DAC、逐次逼近寄存器 (SAR) 和控制逻辑组成。转换时先试置最高位为 1，经 DAC 产生试探电压，与输入 u_I 比较；若试探值不超过输入则保留该位，否则清零；再依次试探下一位，直到 LSB，最后锁存输出码。课件 3 位例子用 5 个时钟状态完成，故 n 位转换时间常按 $(n+2)T_{CP}$ 估算。[8-转换:p26-p29]

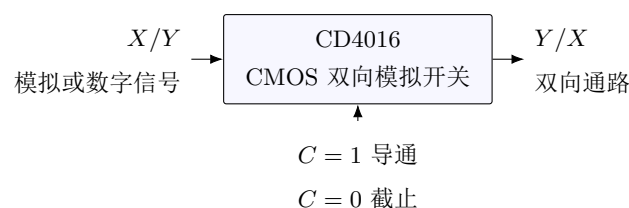
- **逐次逼近型 ADC 特点：**优点是转换速度较快、分辨率高、误差低，硬件量比并联比较型少得多，是常见中速中高精度 ADC；缺点是每位都要等待 DAC 建立和比较器判决，速度不如并联比较型，且精度受内部 DAC、比较器和基准电压影响。[8-转换:p26-p29,p40-p42]

- **双积分型 ADC 流程：**先在固定时间 $t_1 = N_1 T_{CP} = 2^n T_{CP}$ 内对输入 U_I 正向积分；再切换到极性相反的基准电压 U_{REF} 反向积分，同时计数，直到积分器输出回到零，得到 $t_2 = N_2 T_{CP} = DT_{CP}$ 。由 $t_2 = (U_I/U_{REF})t_1$ 得 $D = (U_I/U_{REF})2^n$ 。它本质上把电压转换成时间/计数值，不需要 DAC。[8-转换:p31-p34]
- **双积分型 ADC 特点：**优点是积分器对交流噪声抑制强，若积分时间取工频周期整数倍可有效抑制工频干扰；电路相对简单、性能稳定、转换精度高。缺点是转换速度低，常见单片器件每秒几十次量级；适合数字电压表等高精度、低速测量。[8-转换:p35,p40-p42]
- **并联比较型 ADC (flash ADC) 流程：**用电阻分压网络产生 $2^n - 1$ 个门限，输入 u_I 同时送到所有比较器并与各门限比较；比较器输出形成温度计码，经寄存器锁存后由编码器变成 n 位二进制数。因为所有比较同时进行，所以不需要逐位试探。[8-转换:p37-p38]
- **并联比较型 ADC 特点：**优点是转换速度最高，适合高速采样；缺点是硬件开销大， n 位约需 $2^n - 1$ 个比较器和精密分压网络，功耗和输入电容也大，位数提高困难，且转换精度相对较差。[8-转换:p37-p42]
- **ADC 转换精度和转换速度：**ADC 分辨率可用位数表示，也可用 1 LSB 变化对应的输入模拟量表示，如量程 5 V 的 8 位 ADC 分辨率为 $5/2^8 \approx 19.6\text{mV}$ 。转换误差是实际输出数字量与理想输出的差别，常用 LSB 倍数表示。速度排序通常为：并联比较型 > 逐次比较/逐次逼近型 > 双积分型；精度和抗干扰一般为双积分型较强，逐次逼近型折中较好，并联比较型速度优先但精度较低。基准电压 V_{REF} 对 A/D 的量化误差和分辨率都有直接影响。[8-转换:p40-p45]

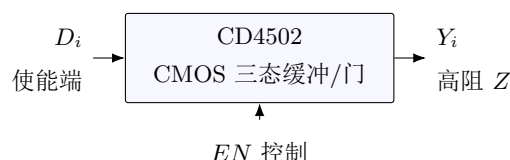
9 附录：slides 中提到的集成芯片

本附录按功能合并课件中出现的具体芯片型号；图为**逻辑功能示意图**，不是实物引脚排列图。带横线的输入/输出表示低有效；同一条中列出的多个型号是课件按同类功能讲解或可替代记忆的器件，考试做连接题时仍要以题目给出的引脚图和有效电平为准。

门电路与总线接口

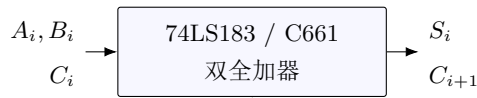


内含 CMOS 传输门，可把一路模拟量或数字量双向接通/断开；常用来说明传输门、模拟开关和总线隔离的思想。关断时近似开路，导通时等效为小电阻通道。[3-门:p88]



三态输出器件，输出除 0/1 外还有高阻态 Z；多个输出接公共总线时，任一时刻只允许被使能的一路驱动总线。[3-门:p89]

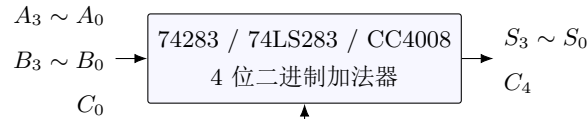
组合逻辑 MSI



每片两组

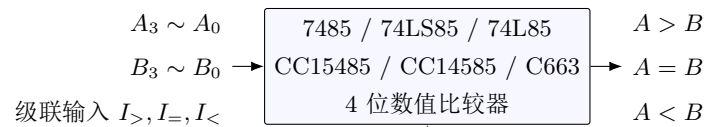
全加单元

实现两个 1 位全加器, 满足 $S = A \oplus B \oplus C_i$ 、 $C_{i+1} = AB + AC_i + BC_i$; 多片级联可构成串行进位多位加法器。[4-组合:p24,p126]



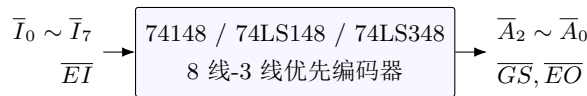
内部超前进位

4 位并行全加器, 内部产生进位以提高速度; 可级联扩展位数, 也常用于补码加减、码制转换和算术逻辑电路。[4-组合:p27,p126]



高位比较优先

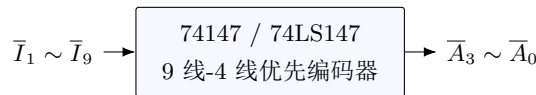
比较两组 4 位二进制数大小; 级联输入用于把低位比较结果接入高位芯片, 从而扩展到 8 位、16 位等多位比较。[4-组合:p32-p35,p126]



低有效

高编号优先

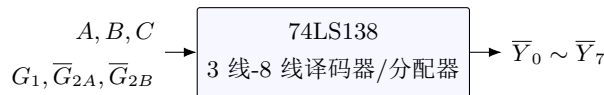
把 8 路请求编码成 3 位二进制码, 并按优先级只响应最高优先级输入; 输入/输出多为低有效, 级联端用于扩展更多输入。[4-组合:p42,p126]



1 至 9 输入

0 为隐含

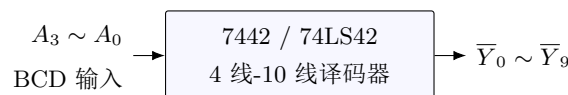
把十进制 1 至 9 的九条低有效请求优先编码为 8421 BCD 码; 十进制 0 不是单独输入端, 而是所有九个输入均为高电平时的隐含状态。输出通常也按低有效理解, 适合键盘编码题。[4-组合:p42,p126]



使能满足后

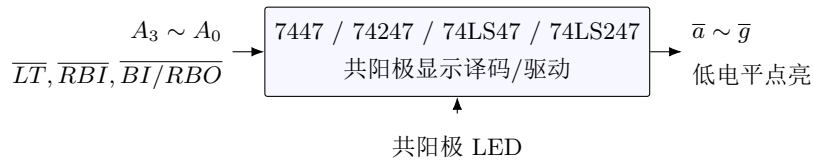
单一路输出有效

把 3 位地址译成 8 个互斥的低有效输出; 也可作数据分配器或最小项发生器, 组合逻辑设计题非常常见。[4-组合:p49-p53,p73-p86,p127]



二十进制译码

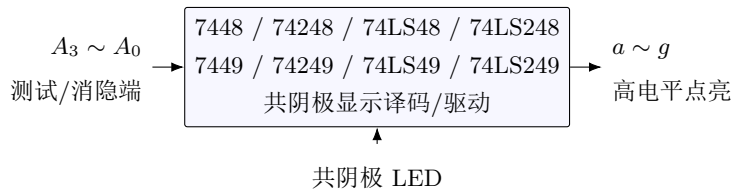
把 8421 BCD 码译成十个互斥输出; 合法输入 0000-1001 对应 0-9, 非法 BCD 输入在设计题中通常视器件真值表处理。[4-组合:p52,p127]



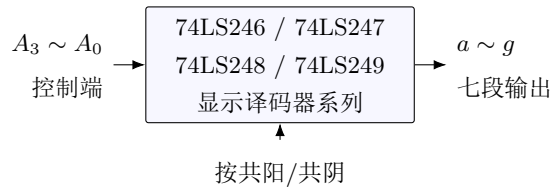
OC 输出
把 BCD 码译成七段码, 输出低有效, 适配共阳极数码管; 灯测试、消隐、灭零端常用于判断显示是否全亮、全灭或前导零消隐。[4-组合:p53-p58,p127]



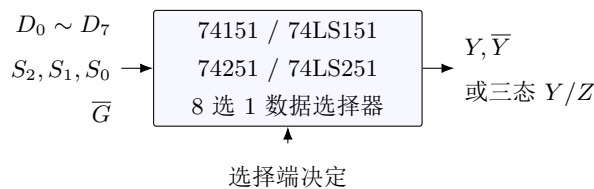
CMOS 显示译码器, 带锁存、消隐和灯测试功能, 常用于共阴极七段显示。复习时把它和 TTL 显示译码器一起记: 输入为 BCD, 输出为 $a \sim g$ 。[4-组合:p53]



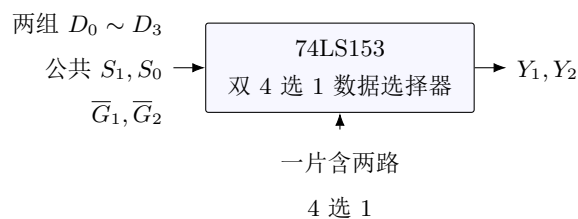
部分型号需上拉
共阴极显示译码器系列, 输出高电平有效; 课件区分了 OC 带上拉、OC 不带上拉等实现差异, 做题重点是输出极性与数码管公共端类型匹配。[4-组合:p55-p57,p127]



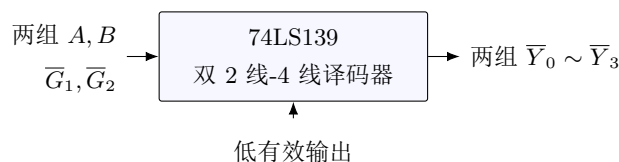
选择型号
课件把 246/247/248/249 作为常见七段显示译码驱动系列列出; 复习时重点抓住 BCD 输入、七段输出、试灯/消隐/灭零控制和输出有效电平。[4-组合:p53-p58]



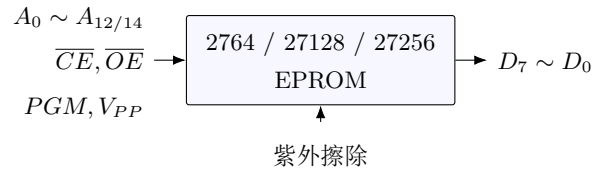
哪一路送出
按选择变量把 8 路数据中的一路送到输出; 74251/74LS251 具有三态输出。常用来实现组合逻辑函数: 选择端接自变量, 数据端接 0/1/变量/反变量。[4-组合:p64-p70,p128]



可同时实现两个 4 选 1 选择器, 选择端共用、使能端分开; 课件用它举例实现组合逻辑函数。[4-组合:p66-p70]



一片含两个 2-4 译码器; 常用于数据选择器扩展、片选译码和产生较低位的互斥使能信号。[4-组合:p66-p67]



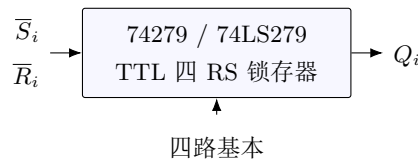
只读存储

常见 EPROM: 2764 为 $8K \times 8$, 27128 为 $16K \times 8$, 27256 为 $32K \times 8$ 。地址线选单元, 数据线输出 8 位字节; 容量题注意“字数 $\times$ 位数”。[4-组合:p105-p110]

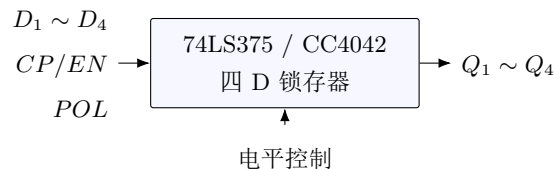
触发器与锁存器



CMOS 四路基本 RS 锁存器。4044、4043 分别对应与非型/或非型实现思路, 禁态电平不同; 看到小圆圈或横线先判断有效电平。[5-触发器:p15]



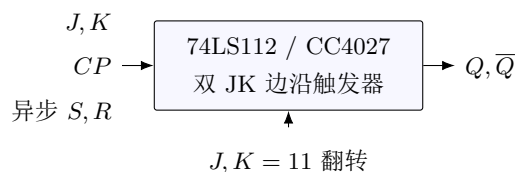
TTL 集成基本触发器, 输入多为低有效, 部分锁存单元有两个置位输入。用于记忆“置 0、置 1、保持、禁态”以及低有效端的判读。[5-触发器:p16]



74LS375 是 TTL 四位 D 锁存器; CC4042 是 CMOS 四 D 锁存器, 带极性控制。电平有效期间 Q 跟随 D , 锁存后保持原值。[5-触发器:p23-p24]

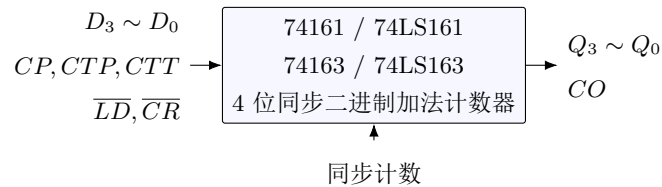


每片含两个 D 触发器, 触发边沿到来时把 D 送入 Q ; 7474 常见为预置/清零低有效, CC4013 为 CMOS 双 D 触发器。[5-触发器:p38-p39]



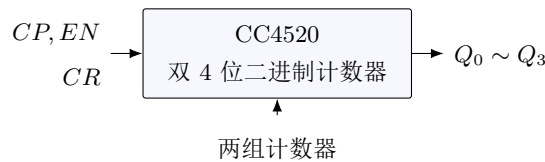
JK 触发器功能齐全: 保持、置 0、置 1、翻转。74LS112 为 TTL 双 JK, 课件强调 CP 下降沿触发且异步置位/复位低有效; CC4027 为 CMOS 双 JK。[5-触发器:p43-p45]

计数器与寄存器



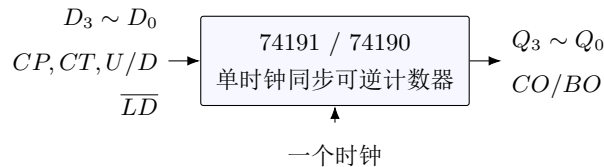
并行置数

4 位同步二进制加法计数器。74161/74LS161 通常为异步清零，74163/74LS163 为同步清零；级联时用 CO 和计数使能端传递进位。[6-时序:p53-p55]



异步清零

CMOS 双 4 位二进制加法计数器；课件强调使能端和时钟端可按连接方式形成不同触发条件，复习时重点看 CR 清零和 CP/EN 的配合。[6-时序:p55]



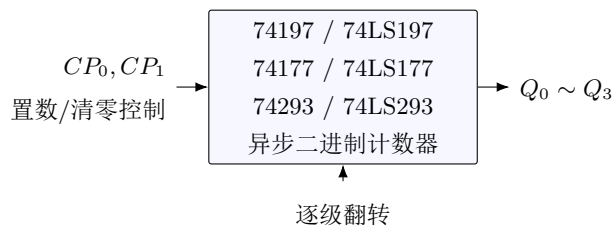
方向端选加/减

74191 为 4 位二进制同步可逆计数器，74190 为十进制同步可逆计数器；用一个时钟输入， U/D 决定加计数或减计数。[6-时序:p56,p70]



CPD 减计数

74193 为 4 位二进制双时钟可逆计数器，74192 为十进制双时钟可逆计数器；加、减分别由不同计数脉冲端触发，两个时钟不能同时有效。[6-时序:p57,p71-p72]



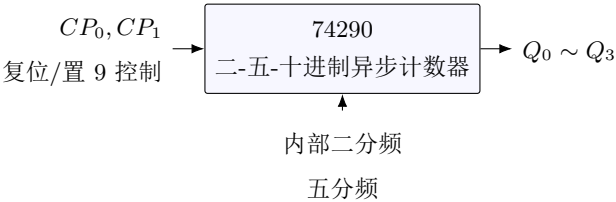
可接成不同模数

异步计数器的低位输出作为高位触发，结构简单但有传播延迟；74197/74LS197 是课件重点例子，74177、74293 等作为同类器件出现。[6-时序:p62-p64]

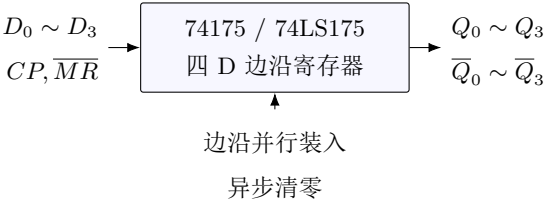


模 10

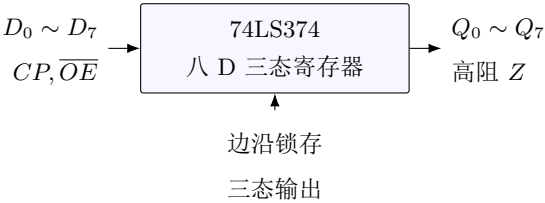
同步十进制加法计数器，输出按 8421 BCD 在 0000-1001 循环。74160 常按异步清零记，74162 按同步清零、同步置数记。[6-时序:p69]



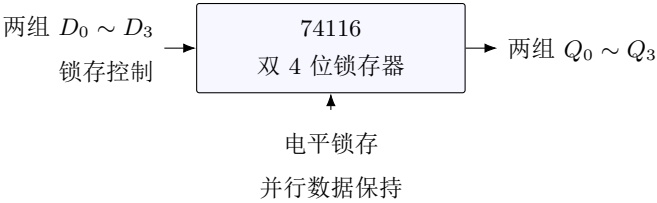
异步十进制计数器，可由内部 2 分频和 5 分频单元连接成十进制，也可通过复位端构成其他模数；课件用它举例做级联计数。[6-时序:p72-p78]



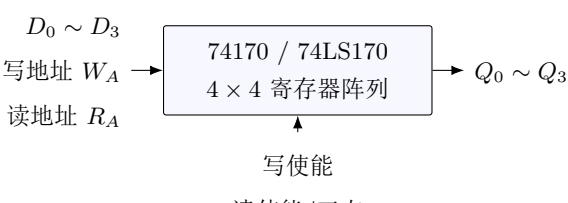
一片含 4 个边沿 D 触发器，可作为 4 位寄存器；适合保存并行数据，清零端用于初始化。[6-时序:p87]



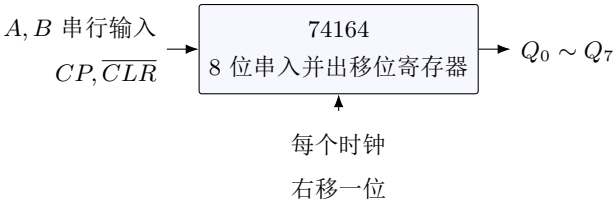
八位边沿触发寄存器，输出带三态控制；课件在顺序脉冲发生器例题中与 74LS163、74LS138 配合使用。[6-时序:p128]



一片含两个 4 位锁存器，用于暂存并行数据；与边沿寄存器相比，锁存器在使能电平期间可能透明。[6-时序:p88]

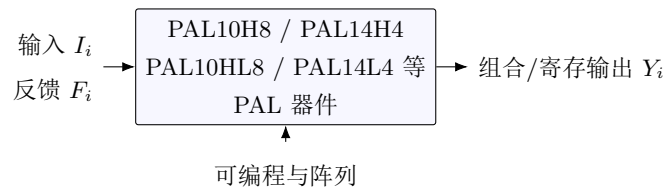


小容量寄存器文件，含 4 个 4 位寄存器，可按地址写入和读出；体现“地址选择 + 存储单元 + 读写控制”的 RAM 思路。[6-时序:p89]

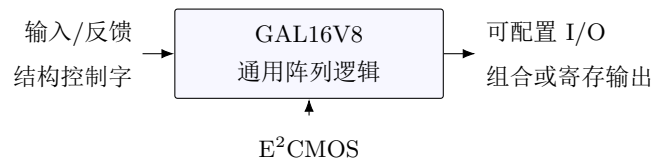


8 位单向移位寄存器，串行输入、并行输出；可用于串并转换、序列发生和移位型时序电路。[6-时序:p94-p96]

可编程逻辑器件



固定或阵列
PAL 由可编程“与”阵列和固定“或”阵列构成,部分型号输出端带触发器;课件列出 PAL10H8、PAL14H4、PAL10HL8、PAL14L4、PAL16L8、PAL20L10、PAL16R4、PAL16R6、PAL16R8、PAL20X4、PAL20X8、PAL20X10、PAL16X4、PAL16A4 等型号。[6-时序:p145-p147]

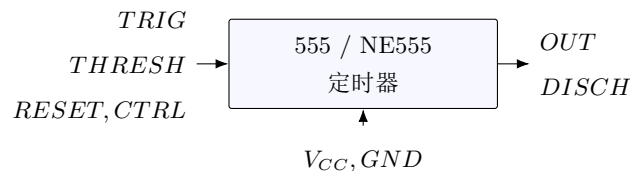


可擦写
GAL 用电可擦 CMOS 工艺实现,可通过输出逻辑宏单元配置为多种 PAL 输出结构;GAL16V8 是课件展示的一般结构例子。[6-时序:p148-p151]



可编程互连
EPLD/CPLD/FPGA 属于更高集成度的可编程逻辑器件。FPGA 通过可编程逻辑块、I/O 块和互连资源实现复杂数字系统,XC2064 是课件中的早期 FPGA 例子。[6-时序:p136-p161]

脉冲产生整形与转换器



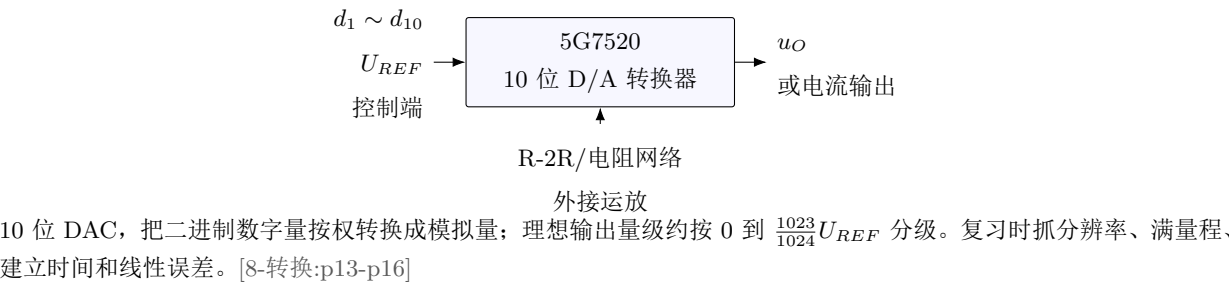
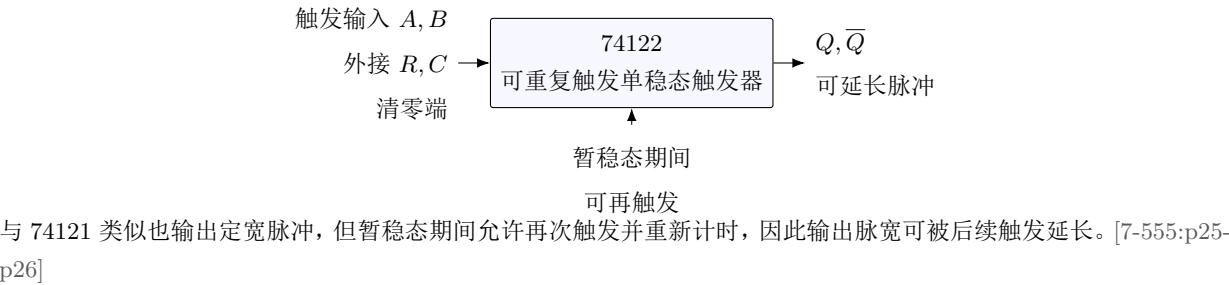
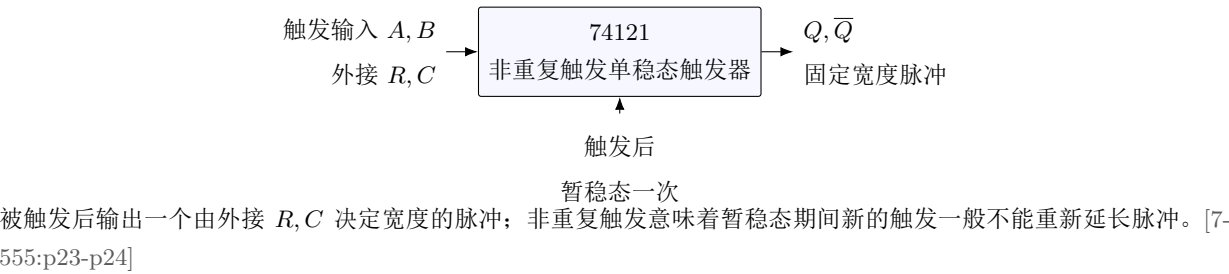
外接 R, C
内部含分压器、两个比较器、RS 锁存器和放电管;可构成施密特触发器、单稳态触发器和多谐振荡器。阈值通常为 $\frac{1}{3}V_{CC}$ 、 $\frac{2}{3}V_{CC}$ 。[7-555:p4-p6,p30-p39]



滞回特性
每路为带施密特特性的反相器,输入上升和下降阈值不同,适合脉冲整形、去抖和把缓慢边沿变成干净逻辑电平。[7-555:p13-p14]



滞回整形
把与非门和施密特触发特性结合起来,可同时完成逻辑门控和波形整形;常用于振荡、去抖、脉冲整形电路。[7-555:p13-p14]



10 考前解题清单

- 1. **逻辑化简题：**先判定标准式类型，再选公式化简或卡诺图；有约束项时主动利用无关项扩大圈。[2-逻辑:p40-p67]
- 2. **组合设计题：**写真值表时先固定输入顺序；若用译码器/MUX/ROM，先把变量分配到地址/选择端。[4-组合:p5-p16,p73-p112]
- 3. **触发器题：**明确触发方式、高低有效、现态/次态；转换题必须用激励表。[5-触发器:p18-p56]
- 4. **计数器题：**画状态图，检查模数和无效状态；异步清零题要留意毛刺和清零时刻。[6-时序:p38-p82]
- 5. **接口与脉冲题：**555 题先分清施密特、单稳、多谐；ADC/DAC 题先看位数、量程、采样频率和转换速度。[7-555:p7-p39;8-转换:p5-p42]

来源 PDF

标注：本复习提纲依据 2024 级课程课件整理。

- 1. 第一章-数制与编码.pdf，89 页
- 2. 第二章-逻辑代数基础.pdf，90 页
- 3. 第三章-门电路.pdf，132 页
- 4. 第四章-组合逻辑电路.pdf，133 页
- 5. 第五章-触发器.pdf，67 页

- 6. 第六章-时序逻辑电路.pdf, 184 页
- 7. 第七章-555 定时器与脉冲产生整形电路.pdf, 44 页
- 8. 第八章-数模与模数转换电路.pdf, 46 页